

PAT-NO: JP02001008379A

DOCUMENT-IDENTIFIER: JP 2001008379 A

TITLE: CIRCUIT AND METHOD FOR BACKUP OF
MEMORY IN PORTABLE
RADIO APPARATUS

 PUBN-DATE: January 12, 2001

INVENTOR-INFORMATION:

NAME

YAMAZAKI, YASUYUKI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

NEC SHIZUOKA LTD

COUNTRY

N/A

APPL-NO: JP11170023

APPL-DATE: June 16, 1999

INT-CL (IPC): H02J007/34, H02J001/00

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent extension of access time in a memory backup operation.

SOLUTION: A clock changeover part is installed in order to ~~shorten the~~
~~access time of a control system 7~~ by changing the
~~processing speed of the~~
~~control system 7~~, so as to ~~make it correspond to a change~~
~~in a power supply~~
voltage VA detected by a detection part 19 used to detect
~~the power supply~~
voltage VA of the control system in a memory backup
~~operation. When a battery~~

~~is removed or the like, the processing speed is changed,~~
~~the extension of the~~
~~access time is prevented,~~ and the ~~unwilling operation of~~
~~the control system can~~
~~be prevented.~~ Generally, ~~changes in the power supply~~
~~voltage VA is a drop in~~
~~the power supply voltage,~~ and the ~~change in the processing~~
~~speed is a drop in~~
~~the processing speed.~~ The power supply of the power-supply
voltage VA is a
secondary battery 25.

COPYRIGHT: (C) 2001, JPO

【特許請求の範囲】

【請求項1】メモリバックアップ動作時の制御系の電源電圧VAを検知するための検出部と、
前記検出部により検出される前記電源電圧の変化に対応させて前記制御系の処理速度を変化させることにより前記制御系のアクセス時間を短縮させるためのクロック切換部とからなる携帯無線機のメモリバックアップ回路。

【請求項2】請求項1において、
前記電源電圧の変化は前記電源電圧の低下であり、前記処理速度の変化は前記処理速度の低下である携帯無線機のメモリバックアップ回路。

【請求項3】メモリバックアップ動作時の制御系の電源電圧VAを検知すること、
前記電源電圧の変化に対応させて前記制御系の処理速度を変化させることにより前記制御系のアクセス時間を短縮させることとからなる携帯無線機のメモリバックアップ方法。

【請求項4】請求項3において、
前記電源電圧が設定値以下になったときに前記制御系の処理速度を低下させることとからなる携帯無線機のメモリバックアップ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、携帯無線機のメモリバックアップ回路及び方法に関し、特に、電池が取り出されたときのような場合に二次電池で制御系が動作する際に制御系を安全に終了させるための携帯無線機のメモリバックアップ回路及び方法に関する。

【0002】

【従来の技術】無線選択呼出受信機のような移動端末では、制御系処理時の放射ノイズを抑さえるための対策として、その制御系データバスラインに抵抗を挿入している。このような対策は、データ形状の鈍りを生じさせ制御系アクセス時間が長くなる現象を引き起こす。

【0003】電池を受信機から取り出した時のメモリのバックアップ動作では、処理中のデータ、保持されているデータの消去が起きないように終了処理が行われる。主電源である電池が取り出されているので、このような処理のための電源として、二次電池が用いられる。また、二次電池は内部インピーダンスを持っているため、特に制御系の処理時の多大な電流を供給する際、制御系電源電圧VAは大きい電圧降下を起こす。その終了処理中に大きい電圧降下が起きて、制御系のアクセス時間が長くなってしまふ。

【0004】このように制御系のアクセス時間が長くなると、データ読み込み誤り等を引き起こし、正常に受信機が動作しなくなる。データ読み込みの誤りを起こす前にリセットをかけることができるように、リセット電圧を高めに設定することが行われている。リセット電圧は設計上余裕をもって高めに設定されることになる。二次

電池に十分に充電が行われていない場合には、電池を引き抜いた際に、頻繁にリセットがかかってしまつて、ユーザーにとっては使い勝手が悪い。メモリバックアップ動作時のアクセス時間の延びを防止することが望まれる。その場合、ユーザの使い勝手を損なわないことが望まれる。

【0005】

【発明が解決しようとする課題】本発明の課題は、メモリバックアップ動作時のアクセス時間の延びを防止することができる携帯無線機のメモリバックアップ回路及び方法を提供することにある。本発明の他の課題は、ユーザの使い勝手を損なわないでメモリバックアップ動作時のアクセス時間の延びを防止することができる携帯無線機のメモリバックアップ回路及び方法を提供することにある。

【0006】

【課題を解決するための手段】その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧（ ）つきで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうちの少なくとも1つの形態の技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

【0007】本発明による携帯無線機のメモリバックアップ回路は、メモリバックアップ動作時の制御系の電源電圧(VA)を検知するための検出部(19)と、検出部(19)により検出される電源電圧(VA)の変化に対応させて制御系(7)の処理速度を変化させることにより制御系(7)のアクセス時間を短縮させるためのクロック切換部とからなる。電池が抜かれたときのような場合、処理速度を変化させることによりアクセス時間の伸びを防止して、制御系の不本意な動作を未然に防止することができる。一般には、電源電圧(VA)の変化は電源電圧の低下であり、処理速度の変化は処理速度の低下である。電源電圧(VA)の電源は、バックアップ中は、二次電池(25)である。

【0008】更に、並列回路が追加され、その並列回路は電流制限抵抗(26)とダイオード(27)とを備え、その並列回路は、電源電圧(VA)の電圧線と二次電池(25)との間に介設されている。ダイオード(27)は二次電池(25)からその電圧線の方に電流が流れる向きに介設されている。このダイオードの追加により、電源供給時の電圧降下を減少させることができる。

【0009】本発明による携帯無線機のメモリバックアップ方法は、メモリバックアップ動作時の制御系(7)の電源電圧(VA又はVDD)を検知すること、電源電圧(VA)の変化に対応させて制御系(7)の処理速度を変化させることにより制御系(7)のアクセス時間を短縮させることとからなる。この場合、電源電圧(V

A)が設定値以下になったときに制御系(7)の処理速度を低下させることが一般的である。

【0010】

【発明の実施の形態】図に一致対応して、本発明による携帯無線機のメモリバックアップ回路の実施の形態は、無線選択呼出機として示され、アンテナが受信部と共に設けられている。図1に示されるように、無線基地局から送られてくる電波をそのアンテナ1で受信した受信信号2は、その受信部3に送られる。受信部3で増幅復調された復調信号4は、波形整形回路5によりデジタル信号6に変換される。デジタル信号6は、受信機全体の制御を司るCPU7に入力される。P-ROM(Programmable-Read Only Memory)9には、自己の選択呼出番号8が記憶されている。RAM11には、受信したメッセージデータ10が格納されている。ROM13には、受信機全体の制御プログラムデータ12が記憶されている。P-ROM9、RAM11、ROM13とから、選択呼出番号8、メッセージデータ10、制御プログラムデータ12とがそれぞれにCPU7に入力される。

【0011】CPU7から表示信号14が表示部15に伝送され、表示信号14に基づいて受信メッセージデータ10等が表示部15に表示される。CPU7から出力されたスピーカアラート信号16は、音声として報知部17から出力される。

【0012】リセット部18が、CPU7に接続している。制御系電源電圧VAが最低動作電圧V1以下になると、リセット部18はCPU7に対してリセット信号28を出力する。電圧検出部19が、CPU7に接続している。制御系電源電圧VAが一定電圧V2(>V1)以下になると、電圧検出部19はCPU7に対して電圧降下信号29を出力する。

【0013】クロックは、2つが設けられている。第1クロック20は、非常に速い制御系処理を必要とする場合に使用されるメインクロックである。第2クロック21は、主に受信信号2と同期をとるためと、スピーカアラート信号16の生成のためとに使用されるサブクロックである。第1クロック20の速度は、サブクロック21の速度よりも大きい。

【0014】電池22は受信機全体の電源であり、一般的には乾電池や空気電池が用いられる。CPU7と電池22との間に、電池電圧検出部24が介設されている。電池22の電圧は、DC/DCコンバータ23により一定電圧VDDまで昇圧される。一定電圧VDDは、電池22の電圧の高低に関わらず、常に制御系を動作させるために必要な電圧である。電池電圧検出部24は、電池が当該受信機に入っているか否かを検出し、電池検出信号30をCPU7に出力する。

【0015】電池22が当該受信機から外されて、DC/DCコンバータ23から制御系へ電源供給が途絶える

ときのために、二次電池25が別個に設けられている。電流制限抵抗26が、二次電池25に制御系電源から過剰な充電電流が流れ込まないように制限をかけるために設けられている。二次電池25に充電される電流は電流制限抵抗26を介して流れるが、逆に二次電池25から制御系へ電源を供給する場合に電流制限抵抗26を介して供給すると、電流制限抵抗26の抵抗分だけ電圧降下が起こってしまうため、この電圧降下を防ぎつつ制御系に電源を供給するためのダイオード27が電流制限抵抗26に並列に設けられている。受信機の電源入切を行う電源スイッチ41が備えられている。

【0016】二次電池25は、電流制限抵抗26とダイオード27とからなる電流制限部を介して制御系電源ラインに接続している。DC/DCコンバータ23の出力電圧をVDDとし、二次電池25の内部インピーダンスをR2とし、二次電池25と電源ラインが直接接続されている場合に完全放電した二次電池25に充電すると、初期充電電流はVDD/R2である。ところが、DC/DCコンバータ23には供給可能な最大負荷電流が存在し、それ以上電流を流そうとしてもDC/DCコンバータ23の昇圧能力が追いつかず、本来の出力電圧VDDまで達しないため、この状態では受信機は正常に動作できない。一般的なDC/DCコンバータの最大負荷電流は数mA程度であり、二次電池25の初期充電電流が数mA以下となるように、電流制限抵抗26が挿入されている。

【0017】一方、二次電池25から制御系に電源を供給する場合、電流制限抵抗26を介して供給すると、二次電池25の内部インピーダンスと電流制限抵抗26の抵抗分だけ、制御系電源電圧VAは二次電池25の開放電圧Vopに比べて低下してしまう。電流制限抵抗26の抵抗値をR1、二次電池25の内部インピーダンスをR2、放電電流をIAとすると、 $VA = Vop - IA(R1 + R2)$ となる。そこで、ダイオード27を挿入することにより、二次電池25の充電電流は電流制限抵抗26を介して二次電池25に流れ、制御系電源ラインへの電源供給時にはダイオード27を介して供給されるようになり、前式の電流制限抵抗26による電圧降下 $IA \times R1$ は、ダイオード27の順方向電圧VFに置き換わり、順方向電圧VFの小さいダイオードを設置すれば、前述の電圧降下を小さく押さえることができる。

【0018】電池22が外されると、当該受信機はメモリバックアップ動作状態に入る。この場合、DC/DCコンバータ23から制御系への電源供給がなく、二次電池25より電源が供給されることになる。受信機が動作していない状態でも制御系のスタンバイ電流により、二次電池25に蓄えられた電荷は消費されていき、制御系電源電圧VAは次第に低下していく。

【0019】一方、制御系各部には各々が動作可能な最低動作電圧が存在し、制御系各部の中で最も最低動作電

圧が高い電圧を受信機の最低動作電圧V1とする。つまり、制御系電源電圧VAが前記最低動作電圧V1以下では正常に動作できず、この状態から受信機を動作させようとすると、暴走等の不具合が発生する。よって、制御系電源電圧VAが最低動作電圧V1以下となっている状態から受信機を動作させる場合には、制御系を一旦リセットしてから動作させる必要がある。リセット部18では、制御系電源電圧VAをモニタしており、制御系電源電圧VAが最低動作電圧V1以下になるとCPU7にその旨を知らせるべく、CPU7に対してリセット信号28を出力する。

【0020】図2は、CPU7とROM13のインターフェースの詳細を示している。このデータアクセスの一例として、CPU7がROM13からデータを読み込む際のタイミングチャートが図3に示されている。CPU7ではROM13にアクセスする際、アドレスバス31を通じてアドレス信号(ADD)33を出力すると同時に、ROM13とのアクセスを可能とするように、チップイネーブル(CE)32を通じてCE信号34を出力する。CE信号34は、アドレス信号33が出力されている間出力し続け、CE信号34の出力時間をCPU7のアクセス時間t1とする。

【0021】一方、ROM13ではアドレス信号33とCE信号34を受けると、CPU7に対しデータバス35を通じてDATA信号36を出力し、CE信号34の立ち下がりからDATA信号36が確立するまでの時間をROM13のアクセス時間t2とする。DATA信号36は、CE信号34が出力されている間に出力を開始しなければならず、よって、CPU7、ROM13のアクセス時間の関係は、 $t_1 > t_2$ でないと正常にデータアクセスできないことになる。

【0022】一方、制御系電源電圧VAが最低動作電圧V1以上でも、制御系電源電圧VAが低下してくると、図3に示すように、CE信号34やDATA信号36の波形に鈍り37や、データ出力タイミングの遅延37'が発生し、ROM13のアクセス時間t2は、 t_{2a} のように長くなる現象が現れる。ROM13のアクセス時間t2は、図4に示されるように、制御系電源電圧VAが低下するほど長くなるが、CPU7のアクセス時間t1は、CPU7のクロック速度で決まっているため、 $t_1 < t_2$ となる危険性が出てくる。

【0023】また、データバスライン35はノイズを放射しやすく、特に無線選択呼出受信機などの無線機器では、アンテナ1から放射ノイズが飛び込み、著しく受信感度の劣化を引き起こす。よって、一般的にはデータバスライン35に抵抗38を挿入して、データバスライン35に流れる電流を少なくし、その放射ノイズを押さえる方法が採られる。ところが、DATA信号36は、抵抗38を挿入することにより図3に示されるように、更に鈍り39を生じ、ROM13のアクセス時間は、 t_2

bまで長くなってしまふ。

【0024】本発明による携帯無線機のメモリバックアップ方法は、図5に示されるように、電池22が抜かれると(ステップS1)、電池電圧検出部24が電池検出信号30をCPU7に出力し、電池が抜かれた旨をCPU7に知らせる。当該受信機はメモリバックアップ動作に入り、CPU7では、終了処理を行うための割り込みが入る。CPU7ではメインクロック20で終了処理を開始ししつつ(ステップS2)、電圧検出部19は、終了処理中、常に制御系電源電圧VAをモニタする。

【0025】終了処理中、制御系電源電圧VAがV2以上であれば、そのままメインクロック20による処理を続行し、終了処理を完了するまでステップS3とステップS4の動作を繰り返す。終了処理中に(ステップS3)、制御系電源電圧VAが低下して一定電圧V2以下になると(ステップS4)、電圧検出部19は、制御系電源電圧VAがV2以下となった旨の電圧降下信号29を出力することによりその旨をCPU7に知らせる。この知らせを受けたCPU7は、終了処理のためのクロックをメインクロック20からサブクロック21に切り替える(ステップS5)。

【0026】ここで、両クロック速度の関係は、メインクロック20>サブクロック21であり、終了処理のクロックをメインクロック20からサブクロック21に切り替えることによって、処理時間は長くなるが、消費電流は減少する。メインクロック処理による制御系消費電流をI1、サブクロック処理による制御系消費電流をI2、順方向電流I1時のダイオード27の順方向電圧をVF1、順方向電流I2時の順方向電圧をVF2、二次電池25の内部インピーダンスをR2、二次電池25の開放電圧をVopとして、DC/DCコンバータ23からの電源供給がない場合の制御系電源電圧VAを表すと、メインクロック処理時は、 $VA = V_{op} - VF1 - R2 \times I1$ 、サブクロック処理時は $VA = V_{op} - VF2 - R2 \times I2$ となり、 $I1 > I2$ 、 $VF1 > VF2$ であるから、終了処理のクロックをメインクロック20からサブクロック21に切り替えることによって、制御系電源電圧VAは $VF1 - VF2 + R2(I1 - I2)$ だけ高くなるのが分かる。よって、図4から分かるように制御系電源電圧VAが高くなり、ROM13のアクセス時間t2は短くなり、CPU7のアクセス時間t1との関係が、 $t_1 < t_2$ となることを未然に防ぐことができる。

【0027】このように、制御系電源電圧VAをモニタする電圧検出部19を設け、メモリバックアップ動作状態における制御部処理中に、制御系電源電圧VAが一定電圧以下となった時には処理速度を落とすことによって、二次電池25からの供給電流を減らし、制御系電源の電圧降下を小さくすることで、アクセス時間が長くなるのを防ぐことができる。

【0028】一方、そのアクセス時間が長くなることによってデータ読み誤りを起こす前に、リセットをかけるようリセット部18にてリセット電圧を高めに設計する方法が考えられるが、二次電池25の内部インピーダンスのばらつきが大きく、設計上、リセット電圧はかなり高めに設定しなければならない。この場合、二次電池25が完全に充電しきれていない状態であれば、電池22を抜いた際に頻繁にリセットがかかってしまい、受信メッセージデータや時計データなどが消去されてしまうため、ユーザにとっては使い勝手が悪い。

【0029】更に、常に制御系処理速度を遅くしたのでは受信機の動作が遅くなり、官能性、操作性の面からも、やはりユーザにとっては使い勝手が悪い。以上の問題点を解決すべく、制御系電源電圧VAが低下し、アクセス時間が長くなって問題となるのは、バックアップ動作状態における制御系処理時のみということに着目し、この時だけ制御系処理速度をコントロールすれば、ユーザの使い勝手を損なうことなく、アクセス時間が長くなることによる受信機の誤動作等を防ぐことができる。

【0030】図1に示される実施の形態では、メインクロック20とサブクロック21を独立させて、それぞれの周波数を作り出しているが、例えば、図6に示されるように、CPU7内にPLL(Phased Locked Loop)回路51を設け、発振子52にて発振させた周波数をサブクロックとし、このサブクロックを基準クロックとしてPLL回路51でメインクロックを作り出すことができる。

【0031】更には、図7に示されるように、CPU7内に分周器53を設け、発振器52により発振させた周波数をメインクロックとし、このメインクロックを分周

器53で分周してサブクロックを作り出すことができる。

【0032】

【発明の効果】本発明による携帯無線機のメモリバックアップ回路及び方法は、使い勝手を悪くすることなく、制御系の終了処理を安全に実行することができる。

【図面の簡単な説明】

【図１】図１は、本発明による携帯無線機のメモリバックアップ回路の実施の形態を示す回路図である。

【図2】図2は、インターフェースを示す回路ブロック図である。

【図3】図3は、動作信号のタイミングを示すタイムチャートである。

【図4】図4は、アクセス時間と電源電圧の関係を示すグラフである。

【図５】図５は、本発明による携帯無線機のメモリバックアップ方法の実施の形態を示すフローチャートである。

【図6】図6は、クロック発生回路の実施の形態を示す回路ブロック図である。

【図7】図7は、クロック発生回路の実施の他の形態を示す回路ブロック図である。

【符号の説明】

7…制御系 (CPU)

19…検出部

20…クロック部（第1クロック）

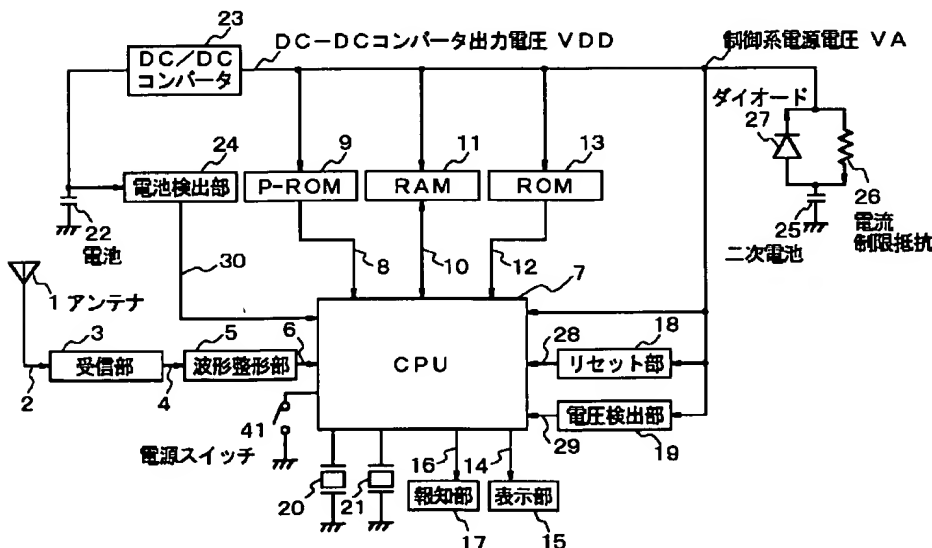
25…二次電池

26…電流制限抵抗

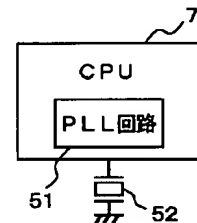
27…ダイオード

VA…電源電圧

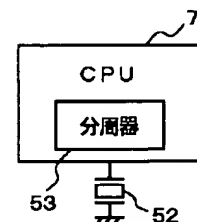
【図1】



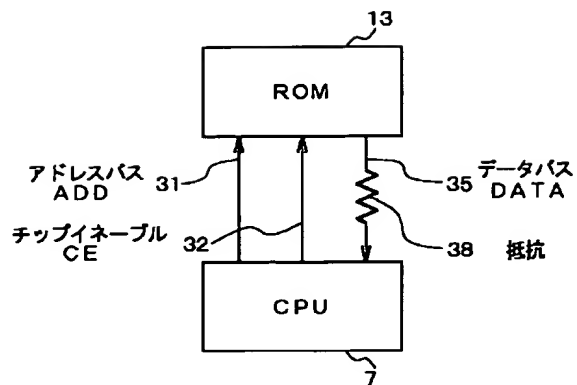
【図6】



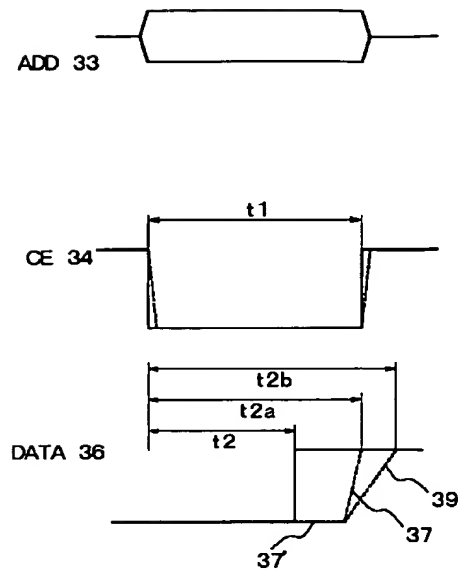
【図7】



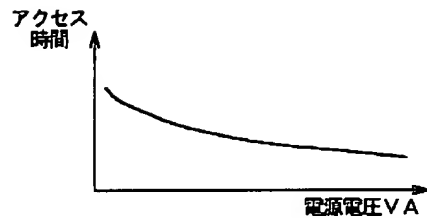
【図2】



【図3】



【図4】



【図5】

